

Japanese Patent Laid-Open No. 5-55581

Laid-Open Date: March 5, 1993

Application No. 3-238709

Application Date: August 26, 1991

Inventors: Shunpei Yamazaki et al.

Applicant: Semiconductor Energy Laboratory Co., Ltd.

[Title of the Invention]

THIN FILM SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

[Abstract]

[Constitution]

In a thin film semiconductor device such as a TFT formed on an insulating substrate, the thin film semiconductor device characterized in that a first blocking film comprising silicon nitride, aluminum oxide, tantalum oxide and the like is formed under the semiconductor device via an insulating film for buffering, and that a second blocking film is formed on the TFT to cover the TFT with the first and second blocking films, thereby preventing the intrusion of mobile ions from the substrate or the outside, wherein the channel region and the gate insulating film of the TFT contain halogen element of $1 \times 10^{18} \text{ cm}^{-3}$ to $5 \times 10^{18} \text{ cm}^{-3}$, and a method for manufacturing the same.

[Claims]

[Claim 1] A thin film semiconductor device comprising:

a first blocking film formed on a substrate;

an insulating film formed on the first blocking film;

a thin film transistor formed on the insulating film and comprising

a channel containing halogen atoms of $1 \times 10^{18} / \text{cm}^3$ to $5 \times 10^{20} / \text{cm}^3$;

and

a second blocking film formed to cover the thin film transistor.

[Claim 2] A thin film semiconductor device as claimed in claim 1, wherein the insulating film contains halogen elements therein.

[Claim 3] A thin film semiconductor device as claimed in claim 1, wherein the first blocking film and the second blocking film comprise silicon nitride, aluminum oxide, and tantalum oxide.

[Claim 4] A method for manufacturing a thin film semiconductor

device, the method comprising the steps of:

- forming a first blocking film on a substrate;
- forming a first insulating film on the blocking film;
- forming a silicon film containing halogen atoms of $1 \times 10^{18}/\text{cm}^3$ to $5 \times 10^{20}/\text{cm}^3$ on the first insulating film;
- forming a second insulating film on the silicon film;
- forming a gate electrode on the second insulating film; and
- forming a second blocking film to cover the silicon film and the gate electrode.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application]

The present invention relates to a thin film semiconductor device such as a thin film transistor which excels in reliability, mass-production, and yield thereof, and a method for manufacturing the same. The present invention is applicable to, for example, a driving circuit or a three-dimensional integrated circuit used in a liquid crystal display or a thin film image sensor and the like.

[0002]

[Description of Prior Art]

Heretofore, a semiconductor integrated circuit has been mainly a monolithic type, which has been formed on such a semiconductor substrate as silicon or the like. Recently, it has been tried to form it on an insulating substrate such as glass, sapphire, and the like. This is because an operation speed will be increased according to the decreased parasitic capacity between a substrate and a wiring; in particular, quartz or glass materials are not limited in size like a silicon wafer and not expensive; and each device is easily separated and, in particular, a latch-up phenomenon will not occur which poses a problem in the monolithic integrated circuit of CMOS. Further, in the liquid crystal display and the contact type image sensor, in addition to the reasons described above, a semiconductor device is required to be integrated with a liquid crystal element or a light-detecting element, and thus it is necessary to form a thin film transistor (hereinafter referred to as TFT) on a transparent substrate.

[0003]

For these reasons, a thin film semiconductor device has come to be formed on an insulating substrate. As an example of a conventional thin

film semiconductor device, a TFT is shown in FIG. 5. As shown in FIG. 5, a film 503 of silicon oxide etc. is formed on an insulating substrate 501, as a passivation film, and thereon, a TFT is formed independent of the other TFT. Like the MOSFET of a monolithic integrated circuit, the TFT has a source (drain) region 507, a drain (source) region 509, a channel forming region 508 (simply called as a channel region) which is sandwiched by the regions 507 and 509, a gate insulating film 504, a gate electrode 510, a source (drain) electrode 511, and a drain (source) electrode 512. Also, it is provided with an interlayer insulator 506 of PSG (phosphosilicate glass) etc. so that a multilayer wiring can be made.

[0004]

An example in FIG. 5 is called a coplanar type, but the TFT has further different types such as an inverse coplanar type, a stagger type, and an inverse stagger type, according to the arrangement of a gate electrode and a channel region. These types will be referred in details to the other literatures and will not further be described in this specification.

[0005]

[Problems to be Solved by the Invention]

Also, in the case of the monolithic integrated circuit, alkaline ion such as sodium and potassium, or transition metal ion such as iron, copper, and nickel poses a serious contamination problem, and much attention has been paid to stop the intrusion of these ions. In the case of the TFT, the problem of these ions are serious as well, and much attention has been paid to the purification of a manufacturing process so as to prevent contamination by the ions as much as possible. Also a countermeasure has been taken so that the contamination of these ions do not extend to the device.

[0006]

The thin film semiconductor device is different from the monolithic integrated circuit in that the concentration of contaminating ions in the substrate of the former is comparatively higher than that of the latter. That is, a single crystal silicon used in the monolithic integrated circuit has been manufactured so as to eliminate these harmful contaminating elements, based on the long-time accumulated technologies. The concentration of these contaminating elements in the commercially available single crystal silicon is 10^{10} cm⁻³ or less.

[0007]

However, in general, the concentration of the contaminating elements in an insulating substrate usable for the thin film semiconductor device is not low. Of course, in the case of single crystal substrate such as a spinel substrate or a sapphire substrate, it is theoretically possible to reduce the concentration of a foreign element which will be a contamination source described above, but it is difficult in actuality from the viewpoint of profitability. Also, in the case of a quartz substrate, it is ideally possible to prevent the intrusion of the foreign element, if it is prepared in a gaseous reaction using a high purity of silane gas and oxygen as a raw material. However, because the structure of the quartz substrate is amorphous, it is difficult to eject the foreign element to the outside if it is once taken therein. Also, a substrate used in the liquid crystal display gives a priority to a cost problem in particular, and then it is required to use a cheap substrate, which originally contains various sorts of foreign elements so as to make the manufacturing and processing thereof easy. Some of such foreign elements are not desirable in themselves for the semiconductor device, and there are cases where the foreign elements will be mixed into the substrate from the outside in the process of adding these foreign elements, or they are contained in an additive material as an impurity. [0008]

Since, for example, TN glass is a cheap glass substrate having good heat-resistance, and equivalent to silicon in a heat expansion coefficient, it is desirable for the substrate used in the liquid crystal display. However, it contains about 5 % lithium, a part of which is ionized to intrude into the semiconductor device as a mobile ion, thereby deteriorating the device. Further, it is difficult to prepare lithium having a high purity of not less than 99 %, and about 0.7 % sodium is usually contained therein. An ionization ratio of the sodium is very high to show about 10 %, and a sodium ion causes a very serious effect on the characteristics of the device. [0009]

As shown in FIG. 5, in a conventional thin film semiconductor device, the intrusion of these mobile ions has been prevented by using silicon oxide etc. as a passivation film and by gettering the mobile ions by employing PSG or BPSG as an interlayer insulator. However, it has been difficult to prevent the contamination sufficiently by these methods. It is an object of the present invention to prevent the device from being deteriorated by the intrusion of these contaminating elements or ions.

[0010]

[Means for Solving the Problems]

The present invention is characterized in that in order to prevent the above mentioned contamination, a film (blocking film) such as a film of silicon nitride, aluminum oxide, tantalum oxide and the like, which has a function to block the mobile ions, is formed on both of the bottom and top surfaces of a thin film semiconductor device, and further, 1×10^{18} to $5 \times 10^{20}/\text{cm}^{-3}$, preferably 1×10^{19} to $1 \times 10^{20}/\text{cm}^3$ of halogen element such as chlorine, fluorine, and the like is contained in either or both of a semiconductor film (channel region) and a gate insulating film which constitute the TFT. The halogen element has a function that it will combine with mobile ions such as sodium strongly in the semiconductor film or the insulating film to lower the effect of the mobile ions exceedingly.

[0011]

A typical example according to the present invention is shown in FIG. 1 showing a TFT to which the present invention is applied. That is, a first silicon nitride film 102 is formed on an insulating substrate 101, as the first blocking film which has an effect of preventing contamination by the substrate. On the first silicon nitride film, for example, a film 103 such as silicon oxide having a good contacting property with a silicon material is formed. If the TFT is prepared on the first silicon nitride by directly forming the semiconductor film without forming the film 103, a channel region will become conductive according to a trap level generated in an interface between the silicon nitride and the semiconductor material and thus the TFT will not operate. Therefore, it is important to provide such a buffering member.

[0012]

The TFT is formed on the film 103. The TFT has a source (drain) region 107, a drain (source) region 109, a channel region 108 interposed between the regions of 107 and 109, a gate insulating film 104, and a gate electrode 110. Each region of source, drain, and channel of the TFT is formed of a semiconductor material which is single crystal, polycrystalline, or amorphous. As the semiconductor material, for example, silicon, germanium, silicon carbide, and alloys thereof can be used.

[0013]

Then, a second silicon nitride film 105 is formed as a second blocking

film covering this TFT. The present invention is characterized in that the second silicon nitride film is formed, after the formation of the TFT and also before the formation of an electrode at the source and/or the drain. In the prior arts, a silicon nitride film as a final passivation film is formed after an electrode is formed. However, the present invention is different in an object to form the silicon nitride film from the prior arts. That is, in the present invention, the second silicon nitride film is formed so as to wrap up the TFT with the first silicon nitride film and to prevent contamination in an electrode forming process after the formation of the TFT. Therefore, it may be possible to form the silicon nitride film as a final passivation film, like the prior arts, after the TFT and its accompanying electrode or wirings are formed in accordance with the present invention.

[0014]

Then, after the formation of the second silicon nitride film, an interlayer insulating film 106 is formed of an interlayer insulating material, for example, PSG or the like. After that, a source (drain) electrode 111 and a drain (source) electrode 112 are formed. As mentioned above, aluminum oxide or tantalum oxide may be used to form the blocking film instead of silicon nitride.

[0015]

In the example in FIG. 1, however, the gate insulating film extends to a distance, and there is a possibility that a mobile ion etc. will intrude into the inside of the TFT from the edge portion of the gate insulating film. An improvement on this point is shown in FIG. 2, in which the gate insulating film is formed only on the TFT, thereby eliminating the problem posed in FIG. 1. However, in this case, since some portions of the source region and the drain region, which are adjacent to the channel region are in contact with the silicon nitride film, there may be the cases where the silicon nitride of the portions are polarized or trap electrons by a gate voltage to disturb the operation of the TFT.

[0016]

An example which overcomes the above problem is shown in FIG. 3 in which the source region and the drain region which are adjacent to the channel region are not adjacent to the silicon nitride film, so that the above described problem of the polarization and the electron-trapping of the silicon nitride can be solved. However, in the case of applying a self-alignment process using a gate electrode as a mask in the forming of the

source and drain regions, as is the case with the example in FIG. 1, it is necessary to implant an acceptor element or a donor element through the gate insulating film. Therefore, if an ion implantation method is employed, it is required to raise ion acceleration energy. On that occasion, a high speed ion will be implanted thereinto, and thus, there may be the cases where the source region and the drain region are expanded by a secondary scattering of the high speed ion.

[0017]

In FIG. 2, the reference numeral 201 is an insulating substrate, 202 is a first silicon nitride film, 203 is an insulating film for buffering such as silicon oxide, 204 is a gate insulating film, 205 is a second silicon nitride film, 206 is an interlayer insulating film, 207 is a source (drain) region, 208 is a channel region, 209 is a drain (source) region, 210 is a gate electrode, 211 is a source (drain) electrode, and 212 is a drain (source) electrode. Further, in FIG. 3, the reference numeral 301 is an insulating substrate, 302 is a first silicon nitride film, 303 is an insulating film for buffering such as silicon oxide, 304 is a gate insulating film, 305 is a second silicon nitride film, 306 is an interlayer insulating film, 307 is a source (drain) region, 308 is a channel region, 309 is a drain (source) region, 310 is a gate electrode, 311 is a source (drain) electrode, and 312 is a drain (source) electrode.

[0018]

In the case where the silicon nitride film is used as the blocking film, according to the present invention, in a chemical formula represented by SiN_x , a good result was obtained by selecting $X = 1.0$ to 1.7 , preferably $X = 1.3$ to 1.35 which is equivalent to or close to a stoichiometric composition ($x = 1.33$). Therefore, in the present invention, it is better to form the silicon nitride by using a low pressure CVD method. However, it is needless to say that even the silicon nitride film formed by a plasma CVD method or a photo CVD method improves reliability in a device, compared with the one formed without using the present invention.

[0019]

In the case where the silicon nitride film is formed by the low pressure CVD method, it is recommended that dichlorosilane (SiCl_2H_2) and ammonia (NH_3) be used as raw materials and be reacted with each other under conditions of a pressure of 10 to 1000 Pa and a temperature of 500 to 800 °C, preferably 550 to 750 °C. Of course, silane (SiH_4) and

tetrachlorosilane (SiCl_4) can be used.

[0020]

Further, even in the case where an aluminum oxide film or a tantalum oxide film is used in the present invention, the closer to a stoichiometric composition, that is, Al_2O_3 or Ta_2O_5 the composition was, the better result was obtained. These films are formed by the CVD method or a sputtering method. For example, an aluminum oxide film can be formed by oxidizing trimethyl aluminum $\text{Al}(\text{CH}_3)_3$ by nitrogen oxides (N_2O , NO , NO_2).

[0021]

In order to carry out the present invention more effectively, it is recommended that the concentration of a hydrogen atom in the semiconductor film of the thin film semiconductor such as the TFT be four times or less, preferably one time or less of the added halogen atom, and that the concentration of a harmful element such as carbon, nitrogen, or oxygen be $7 \times 10^{19} \text{ cm}^{-3}$ or less, preferably $1 \times 10^{19} \text{ cm}^{-3}$ or less. Further, it is recommended that the concentration of the mobile ion such as sodium, lithium, or potassium contained in the semiconductor film be $5 \times 10^{18} \text{ cm}^{-3}$ or less. In order to achieve the above mentioned objects, it is desired to pay a full attention to a material gas and to use gas having a high purity of 5 N or more. Further, according to the present invention, it is born in mind that the insulating substrate containing a lot of mobile ion sources is used, and in order to conduct the present invention more effectively, it is recommended that when the first silicon nitride film is formed on the substrate, the surroundings of such substrate be completely covered with the silicon nitride film. In such a situation, it is possible to exceedingly lower the probability that the mobile ion originally contained in the substrate mixes into a device region in the following handling.

[0022]

FIG. 4 shows an example of forming a lightly doped drain (LDD), which is a well known prior art, according to the present invention. First, a silicon nitride film 402 having a thickness of 50 to 1000 nm is formed on an insulating substrate 401 such as quartz or AN glass by using the low pressure CVD method. At this time, if all the surface of the substrate including its back side are covered with the silicon nitride film, as described above, the probability that the mobile ions generated in the back side reach the top surface in a later process will be remarkably lowered, which is preferable in keeping the manufacturing equipment

purified. A silicon oxide film 403 for buffering having a thickness of 50 to 1000 nm is formed on the silicon nitride film, also by using the low pressure CVD method. At this time, if gas containing halogen such as hydrogen chloride (HCl), nitrogen fluorine (NF₃ or N₂F₄), chlorine (Cl₂), fluorine (F₂), various sorts of freon gases, and carbon tetrachloride (CCl₄) in a ratio of 3 % to 6 % by volume, for example, 5 % by volume is mixed in the raw material gas, a halogen element such as chlorine, fluorine will be involved in the obtained silicon oxide film.

[0023]

Since this halogen combines with alkaline ion such as sodium to fix sodium, it is very effective to prevent sodium contamination. However, an excessive addition of the halogen is not preferable because it makes a film rough and causes damage to its adhesion property and surface flatness. Also, it is recommended that the above mentioned gas containing the halogen element be mixed into the raw material gas in a ratio of 2 to 5 % by volume, in the case of forming the film by using the photo CVD method or the plasma CVD method, instead of the low pressure CVD method. Further, it is recommended that the above described halogen gas be mixed into a sputtering atmosphere by 2 to 20 % by volume, in the case of forming the film by the sputtering method. Since the gas composition of the atmosphere resists being reflected to the composition of the film, it is required that the concentration of the halogen gas be larger in the sputtering method than in the CVD methods.

[0024]

Then, an amorphous silicon film, a microcrystalline film or a polycrystalline silicon film is formed in a thickness of 20 to 500 nm, by means of the low pressure CVD method, plasma CVD method or sputtering method. Then, this film is etched to form an island shape. When the silicon film is formed, it is recommended that the halogen element be introduced into the film as is the case of forming the above mentioned film 403. As a method for introducing the halogen element, it is recommended that gas containing the halogen element be mixed into the atmosphere for forming the film as is the case of the film 403 described above, or that the halogen element be introduced by the ion implantation method after the film is formed. At this time, it is required to control the concentration of a raw material gas so that the concentration of the halogen element in the film be in the range of 1×10^{18} to 5×10^{20} /cm³, preferably 1×10^{19} to $1 \times$

$10^{20} / \text{cm}^3$.

[0025]

Still further, at the same time, if the concentration of a hydrogen element in the film is four times or less, preferably one time or less the concentration of the halogen element, the effect of addition of the halogen element will be raised. This effect can be explained as follows: hydrogen atom is necessary for terminating a dangling bond of silicon, but its combination is weak and is easily loosed. On the other hand, halogen element combines with the silicon strongly. If hydrogen exists excessively in the silicon (which means that there are a lot of dangling bonds in the film), almost all the halogen will combine with the silicon, and thus cannot effect the gettering of the mobile ions traveling in the film. Therefore, it can be presumed that in the silicon containing a high concentration of hydrogen, the effect of addition of halogen will be lowered and that, in the silicon containing a low concentration of hydrogen, the effect of addition of halogen will be raised.

[0026]

Also, it is desired that in the semiconductor film such as silicon, the concentration of carbon, nitrogen, and oxygen, as a harmful element except the mobile ion, be $7 \times 10^{19} / \text{cm}^3$ or less, preferably $1 \times 10^{19} / \text{cm}^3$ or less. This is because these elements cannot be removed even by adding the halogen.

[0027]

Further, although the gettering of the mobile ion such as sodium, lithium, and potassium can be effected by adding the halogen, this effect will be counteracted in the cases where these elements exist in excess. Therefore, it is preferable that the concentration of the mobile ion be $5 \times 10^{18} / \text{cm}^3$ or less.

[0028]

Then, on the silicon film formed as described above, a silicon oxide film is formed in a thickness of 10 to 200 nm as the gate insulating film by using the low pressure CVD method or the sputtering method. In this case, it is also recommended that halogen material gas be mixed previously into a raw material gas or a sputtering gas, in the same way as mentioned above.

[0029]

Next, on the silicon oxide film, a polycrystalline silicon film or a

microcrystalline silicon film, which is doped with phosphorus of about 10^{21} cm^{-3} , is formed by using the low pressure CVD method or the plasma CVD method. Then, the silicon film and the gate insulating film (silicon oxide) formed under the silicon film are patterned to form a gate electrode 410 and a gate insulating film 404.

[0030]

Further, a source (drain) region 407 and a drain (source) region 408, which contain comparatively a low concentration of impurities (about 10^{17} to 10^{19} cm^{-3}), are formed by implanting ions in a self-alignment manner by using the gate electrode as a mask. The portion where an impurity is not implanted remains as a channel region 408. Thus, FIG. 4 (A) is obtained.

[0031]

Next, as shown in FIG. 4 (B), a PSG film 413 is formed on the whole surface by using the low pressure CVD method, and then is etched by a well-known directional etching method to form side-walls 414 on the sides of the gate electrode. Then, a source (drain) region 407a and a drain (source) region 409a, which contain a high concentration of impurity, are formed by implanting ions again. A region containing a low concentration of impurity becomes a source (drain) region 407b and a drain (source) region 409b, and forms an LDD. Thus, FIG. 4 (C) is obtained.

[0032]

After that, as shown in FIG. 4 (D), a silicon nitride film 405 is formed in a thickness of 50 to 1000 nm throughout the surface by using the low pressure CVD method. Then, the silicon film is crystallized to activate the source region and the drain region by a low temperature annealing at, for example, about 600 °C. This process can be effected by a laser annealing. Thus, a TFT intermediate product is obtained.

[0033]

FIG. 4 only shows one example of the present invention, and it should be understood that the present invention is not limited to the above process. In the example in FIG. 4, the silicon nitride film, the gate electrode, and the source or the drain region are not adjacent to each other, like the example in FIG. 3. That is, the example in FIG. 4, unlike the example in FIG. 2, does not produce the problem which was worried about in FIG. 2, because it is provided the side-walls 414. Further, the example in FIG. 4 is characterized in that the adding of a donor or an acceptor can

be easily effected without passing them through an insulating film, unlike the example in FIG. 3.

[0034]

[Description of Preferred Embodiments]

The characteristics of a TFT in accordance with the present invention will be described below. The TFT used in the present example was an LDD type TFT, which was prepared on a quartz glass substrate according to a process shown in FIG. 4. First, a silicon nitride film 402 was formed in a thickness of 100 nm on the top and bottom surfaces of a quartz glass substrate 401 by a low pressure CVD method, and then a silicon oxide film (also called a low temperature oxide film (LTO film)) 403 was formed continuously in a thickness of 200 nm by the low pressure CVD method, and finally, an amorphous silicon film was formed thereon in a thickness of 30 nm also by the low pressure CVD method. At this time, the maximum process temperature was 600 °C. In this process, the films were formed by a CVD apparatus consisting of three reaction chambers arranged in succession, and when the silicon oxide film and the amorphous silicon film were formed, a hydrogen chloride gas (HCl) was added 5 % by volume as a halogen adding gas to the raw material gas and then a reaction was effected. As a result, chlorine could be added in the silicon oxide film and the amorphous silicon film. By a secondary ion mass spectrometric analysis, the concentration of chlorine in the silicon oxide film and the amorphous silicon film were $2.3 \times 10^{19}/\text{cm}^3$, $3.1 \times 10^{19}/\text{cm}^3$, respectively. In this respect, dichlorosilane (SiCl_2H_2) and ammonia (NH_3) were employed as the raw material gas of the silicon nitride film, and disilane (Si_2H_6) and oxygen (O_2) and hydrogen chloride were employed as the raw material gas of the silicon oxide film, and disilane and hydrogen chloride were employed as the raw material gas of the amorphous silicon film. The purity of each raw material gas was 6 N. It was verified that the amounts of hydrogen atoms in the silicon oxide film and in the amorphous silicon film formed in this way were $1 \times 10^{19}/\text{cm}^3$ or less, respectively. Also, since the films were continuously formed without being exposed to the air, it was verified that the concentrations of carbon, nitrogen, and oxygen in the silicon film were $1 \times 10^{18}/\text{cm}^3$ or less.

[0035]

Next, the amorphous silicon film was patterned into an island shape, and the very thin surface portion of the amorphous silicon film was

oxidized in a thickness of 2 to 10 nm by an anodic oxidation method. The anodic oxidation was effected by using a platinum electrode as a cathode, by using N-methylacetamide (NMA) added with KNO_2 or tetrahydrofurfuryl alcohol (THF) as an electrolytic solution, and by a constant voltage method at a temperature of 10 to 50 °C. After the completion of the anodic oxidation, the amorphous silicon film was annealed at 600 °C for 12 hours in an argon atmosphere. Then, a silicon oxide film was formed thereon in a thickness of 100 nm by using a sputtering method. Here, as the sputtering atmosphere was employed a mixed gas of oxygen and argon or other rare gas and hydrogen chlorine in which the partial pressure of oxygen was 80 % or more and the concentration of the hydrogen chlorine was 10 %. When a film is formed by the sputtering method, a defect is generated in an underlayer film by the shock of the sputtering. For example, in the case where the underlayer is a silicon film, if oxygen atoms are implanted into silicon, the concentration of oxygen is increased therein. Under such situation, the silicon will be high in a localization level. That is, a boundary between the silicon and the silicon oxide will be unclear. However, if the thin anodic oxide film is formed previously according to the present example, because silicon oxide already exists at the time of sputtering, the oxide film can prevent atoms from mixing with each other as described above, thereby keeping the boundary between the silicon film and the silicon oxide film.

[0036]

After the silicon oxide film was formed, an n⁺-type microcrystalline silicon film containing about 10^{21}cm^{-3} of phosphorus was formed in a thickness of 300 nm by using the low pressure CVD method. The maximum process temperature in the above film forming was 650 °C. Then, a gate electrode was patterned to form a gate electrode 410 and a gate insulating film 404. Further, a source region 407 and a drain region 409 were formed by implanting $2 \times 10^{18}\text{cm}^{-3}$ of arsenic ion by the ion implantation method, whereby FIG. 4 (A) was obtained.

[0037]

Next, as shown in FIG. 4 (B), a PSG film 413 was formed by the low pressure CVD method, and a side-wall 414 shown in FIG. 4 (C) was formed by a directional etching. Further, $5 \times 10^{20}\text{cm}^{-3}$ of arsenic ion was implanted into the regions 407a and 409a by the ion implantation method.

[0038]

Then, a silicon nitride film 405 was formed on the entire surface by the low pressure CVD method, whereby FIG. 4 (D) was obtained. Then, it was annealed at 620 °C for 48 hours in a vacuum to activate the regions 407a, 407b, 408, 409a, and 409b. A PSG film was formed as an interlayer insulator all over the surface by the low pressure CVD method and a hole for an electrode was made to form an aluminum electrode in the source region and the drain region. Lastly, for the purpose of a passivation, a silicon nitride film was formed again all over the surface by the low pressure CVD method.

[0039]

A TFT prepared in this way was extremely high in reliability and showed that the operational characteristics of the device were not changed by a so-called bias-temperature treatment (BT treatment). The BT treatment means that a voltage is applied between the source and drain and to a gate electrode in a state of heating. Even if a normal device is subjected to the BT treatment, the characteristics of the device are not changed, but if a device containing, for example, mobile ions is subjected to the BT treatment, the characteristics of the device are changed, which is shown in FIG. 6.

[0040] FIG. 6 (A) shows a TFT in which the mobile ions exist in a gate insulating film and a channel region. Since alkaline mobile ions (designated as A^+ in the figure) exist in the channel region and function as donors, the channel region becomes a weak N-type (N^-), which is referred to as a state 1. When a positive bias voltage is applied across the gate electrode and the source and drain of the TFT, as shown in FIG. 6 (B), the mobile ions (positive ion) will be away from the gate electrode in the first place, and then the channel region will be made intrinsic (I-type). This state is referred to as a state 2. Accordingly, I_D (drain current)- V_G (gate voltage) characteristics of the TFT will be moved largely to the right side as shown in FIG. 6 (D).

[0041]

However, in the case where the mobile ions exist in the gate insulating film, the mobile ions gather to the lower portion of the gate electrode (to the side of the channel region), because of the bias voltage applied to the gate electrode. As a result, the channel region will have a positive electric field, and electrons will gather therein, whereby the channel region is made a weak N-type again. This state is referred to as a state 3. As

shown in FIG. 6 (E), the $I_D - V_G$ characteristic curve shifts to the left side from the state 2 to the state 3. After all, the characteristic curve of the TFT is shifted to the right side, compared with the first one.

[0042]

Also, in the case where a negative bias voltage is applied conversely, the mobile ions gather in the channel region. Then, the channel region proceeds to the N-type, thereby resulting in the state in which the drain current cannot be controlled by the gate voltage.

[0043]

In the present example, to be specific, the gate voltage-drain current characteristic of the TFT at room temperature was measured ($V_B = 0$), immediately after the TFT was prepared. Then, a voltage of + 20 V was applied to the gate electrode at 150 °C for an hour, and the gate voltage-drain current characteristic of the TFT was measured at the room temperature ($V_B = + 20$ V). Then, a voltage of -20 V was applied to the gate electrode at 150°C for an hour, and the gate voltage-drain current characteristic of the TFT was measured at the room temperature ($V_B = -20$ V), and then a change in threshold voltage of the TFT was examined.

[0044]

The characteristic of the TFT prepared by the method described above is shown in FIG. 7 (B). As shown in FIG. 7 (B), the TFT is not affected by the bias voltage V_B , and change in threshold voltage was 0.2 V or less as a result of an accurate measurement.

[0045]

On the other hand, the TFT shown in FIG. 7 (A) had no silicon nitride films 402 and 405, and the concentration of halogen of each film thereof was $1 \times 10^{14} \text{ cm}^{-3}$ or less, and except these points, it was prepared by the same process as the method described in the present example. As is evident from FIG. 7 (A), the characteristic is dependent on V_B to a large extent. It is estimated from the range of change in threshold voltage shown in FIG. 7 (B) that the content of the mobile ions in the gate electrode of the TFT prepared in the present example is in a degree of $8 \times 10^{10} \text{ cm}^{-3}$. After the above mentioned measurement, the concentrations of sodium, potassium, and lithium in the silicon film (channel region) and the gate insulating film of the TFT prepared in the present example were measured and the measurements were $3 \times 10^{17} \text{ cm}^{-3}$, $7 \times 10^{15} \text{ cm}^{-3}$, and $5 \times 10^{15} \text{ cm}^{-3}$, respectively. Although such a lot of alkaline elements existed

therein, the amounts of the mobile ions were little. It is presumed that this fact is because the alkaline elements were fixed to halogen (chlorine in this case). The measurements of the concentrations of sodium, potassium, and lithium in the TFT prepared for a comparison showed such a large amount as $7 \times 10^{18} \text{ cm}^{-3}$, $2 \times 10^{16} \text{ cm}^{-3}$, and $4 \times 10^{19} \text{ cm}^{-3}$, respectively. This leads to the presumption that the silicon nitride film in accordance with the present invention has a blocking effect. That is, the characteristics and the reliability of the TFT can be remarkably improved by forming the silicon nitride film and by adding the halogen element to the TFT (in this case, the silicon film and the gate insulating film) like the present invention.

[0046]

[Effects of the Invention]

By the present invention, it is possible to prepare a thin film semiconductor device such as a TFT which is little affected by mobile ions such as sodium or the like. A TFT can be formed on a substrate on which a device has not been capable of being formed so far on account of the existence of the mobile ions therein. The present invention can be applied to a coplanar type TFT as shown in FIG. 1 to FIG. 4, an inverse coplanar type TFT, a stagger type TFT, and an inverse stagger type TFT. Also, since the present invention does not impose any restrictions on the operation of the thin film semiconductor device, it will be clearly understood that the silicon of a transistor may be amorphous, polycrystalline, microcrystalline, or of an intermediate state thereof, or single crystal.

[Brief Description of the Drawings]

[FIG. 1] FIG. 1 shows an example of a TFT in accordance with the present invention.

[FIG. 2] FIG. 2 shows another example of a TFT in accordance with the present invention.

[FIG. 3] FIG. 3 shows still another example of a TFT in accordance with the present invention.

[FIG. 4] FIG. 4 shows an example of preparing process of a TFT in accordance with the present invention.

[FIG. 5] FIG. 5 shows an example of a conventional TFT.

[FIG. 6] FIG. 6 shows the effect of a mobile ion on the characteristics of a TFT.

[FIG. 7] FIG. 7 shows the characteristics of a TFT to which the present

invention is applied and those of a TFT to which the present invention is not applied.

[Description of the Reference Numerals]

- 101 insulating substrate
- 102 first blocking film
- 103 insulating film for buffering
- 104 gate insulating film
- 105 second blocking film
- 106 interlayer insulating film
- 107 source (drain) region
- 108 channel region
- 109 drain (source) region
- 110 gate electrode
- 111 source (drain) region
- 112 drain (source) region

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
009421107 **Image available**

WPI Acc No: 1993-114621/199314

Related WPI Acc No: 1993-114622

XRAM Acc No: C93-051163

XRPX Acc No: N93-087163

Thin film chip for LCD or image sensor - comprises insulate film on 1st
blocking film thin transistor with halogen atom on channel area, and 2nd
film surrounding transistor NoAbstract

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5055581	A	19930305	JP 91238709	A	19910826	199314 B
KR 9600231	B1	19960103	KR 9215127	A	19920822	199905

Priority Applications (No Type Date): JP 91238709 A 19910826; JP 91238714 A
19910826

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 5055581	A	10	H01L-029/784	
KR 9600231	B1		H01L-029/786	

Title Terms: THIN; FILM; CHIP; LCD; IMAGE; SENSE; COMPRISE; INSULATE; FILM;
BLOCK; FILM; THIN; TRANSISTOR; HALOGEN; ATOM; CHANNEL; AREA; FILM;
SURROUND; TRANSISTOR; NOABSTRACT

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-029/784; H01L-029/786

International Patent Class (Additional): H01L-027/12

File Segment: CPI; EPI

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-55581

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.⁵

H01L 29/784

27/12

識別記号

庁内整理番号

FI

技術表示箇所

8728-4M

9056-4M

H01L 29/78

311 X

審査請求 未請求 請求項の数4(全10頁)

(21)出願番号

特願平3-238709

(22)出願日

平成3年(1991)8月26日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

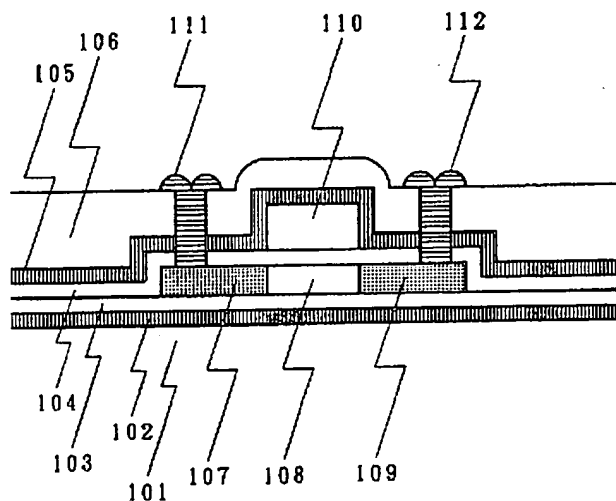
(72)発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 薄膜状半導体素子およびその作製方法

(57)【要約】

【構成】 絶縁性基板状に形成されたTFT等の薄膜状半導体素子において、該半導体素子の下に緩衝用絶縁膜を介して窒化珪素、酸化アルミニウム、酸化タンタル等からなる第1のブロッキング膜を形成し、さらに、TFTの上に第2のブロッキング膜を形成し、前記第1および第2のブロッキング膜でTFTを覆うことによって基板やその他外部からの可動イオンの侵入を阻止するとともに、TFTのチャネル領域とゲート絶縁膜中にはハロゲン元素が $1 \times 10^{18} \text{cm}^{-3}$ 以上、 $5 \times 10^{18} \text{cm}^{-3}$ 以下だけ存在することを特徴とする薄膜状半導体素子およびその作製方法。



【特許請求の範囲】

【請求項1】 基板上に形成された第1のブロッキング膜と、前記ブロッキング膜上に形成された絶縁性被膜と、前記絶縁性被膜上に形成され、チャンネル領域に 1×10^{18} 個/cm³以上 5×10^{20} 個/cm³以下のハロゲン原子を有する薄膜トランジスタと、前記薄膜トランジスタを包んで形成された第2のブロッキング膜を有する薄膜状半導体素子。

【請求項2】 請求項1において、該絶縁性被膜はハロゲン元素を含有することを特徴とする薄膜状半導体素子。

【請求項3】 請求項1において、第1および第2のブロッキング膜は、窒化珪素、酸化アルミニウム、酸化 tantalumよりなることを特徴とする薄膜状半導体素子。

【請求項4】 基板上に、第1のブロッキング膜を形成する工程と、前記ブロッキング膜上に、第1の絶縁性被膜を形成する工程と、前記絶縁性被膜上にハロゲン原子を 1×10^{18} 個/cm³以上 5×10^{20} 個/cm³以下だけ有するシリコン膜を形成する工程と、前記シリコン膜上に第2の絶縁性被膜を形成する工程と、前記第2の絶縁性被膜上にゲート電極を形成する工程と、前記シリコン膜およびゲート電極を覆って第2のブロッキング膜を形成する工程とを有する薄膜状半導体素子の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、信頼性および量産性に優れ、歩留りの高い、薄膜トランジスタ等の薄膜状半導体装置およびその製造方法に関する。本発明は、その応用分野として、例えば、液晶ディスプレイや薄膜イメージセンサー等の駆動回路あるいは3次元集積回路等を構成せんとするものである。

【0002】

【従来の技術】従来、半導体集積回路は、シリコン等の半導体基板上に形成されたモノリシック型が中心であったが、近年、ガラスやサファイヤ等の絶縁基板上に形成することが試みられている。その理由としては、基板と配線間の寄生容量が低下して動作速度が向上することと、特に石英その等のガラス材料は、シリコンウェファのような大きさの制限がなく、安価であること、素子間の分離が容易で、特にCMOSのモノリシック集積回路で問題となるようなラッチアップ現象がおこらないこと等のためである。また、以上のような理由とは別に液晶ディスプレイや密着型イメージセンサーにおいては、半導体素子と液晶素子あるいは光検出素子とを一体化して構成する必要から、透明な基板上に薄膜トランジスタ(TFT)等を形成する必要がある。

【0003】このような理由から絶縁性基板上に薄膜状の半導体素子が形成されるようになった。従来の薄膜状半導体素子の例として、TFTを図5に示す。図に示さ

れるように、絶縁性基板501上に、パッシベーション膜として、酸化珪素等の被膜503が形成され、その上にTFTが他のTFTとは独立して形成される。TFTは、モノリシック集積回路のMOSFETと同様に、ソース(ドレイン)領域507とドレイン(ソース)領域509、それらに挟まれたチャンネル形成領域(単にチャンネル領域ともいう)508、ゲート絶縁膜504、ゲート電極510、そして、ソース(ドレイン)電極511とドレイン(ソース)電極512を有している。また、多層配線が可能ないようにPSG等の層間絶縁物506が設けられる。

【0004】図5の例は、順コプラナー型と呼ばれるものであるが、TFTでは、ゲート電極とチャンネル領域の配置の様子によって、これ以外に逆コプラナー型、順スタガー型、逆スタガー型とよばれる形態があるが、その詳細については他の文献に任せるとして、ここではこれ以上、言及しない。

【0005】

【発明が解決しようとする課題】モノリシック集積回路においても、ナトリウムやカリウムのようなアルカリイオン、あるいは鉄、銅、ニッケル等の遷移金属イオンによる汚染は深刻な問題であり、これらのイオンの侵入を食い止めるために、非常な注意が払われてきた。TFTでも、それらのイオンの問題は同様に重大なもので、極力、汚染がないように生産工程の清浄化には注意が向けられている。また、素子にもこれらの汚染が及ばないように対策が講じられている。

【0006】薄膜状半導体素子がモノリシック集積回路と異なることは、基板中の汚染イオンの濃度が比較的高いということである。すなわち、モノリシック集積回路に使用される単結晶シリコンは、長年の技術の蓄積によって、これらの有害な汚染元素を排除するようにして生産されており、現在市販されているものでは、これらの汚染元素は 10^{10} cm⁻³以下である。

【0007】しかしながら、一般に薄膜状半導体素子用の絶縁性基板の汚染元素濃度は低くない。もちろん、スピネル基板やサファイヤ基板のような単結晶基板では、上記汚染源となる異元素の濃度を低減することが理論的には可能であるが、採算面から現実的ではない。また、石英基板は、高純度シランガスと酸素を原料として、気相反応で製造すれば、理想的には異元素の侵入を食い止めることが可能であるが、構造がアモルファスであるので、いったん異元素が取り込まれた場合にこれを外部に吐き出すことが困難である。また、液晶ディスプレイに使用される基板は特にコストの問題が優先するため、価格の低いものを用いる必要があり、そのようなものでは製造・加工を容易にするため、最初から、各種の異元素を含有している。これらの異元素自体が半導体素子にとって好ましくないものもあるし、これらの異元素を添加する過程で、外部から混入し、あるいは添加材料に不純

3

物として含まれる場合がある。

【0008】例えば、TNガラスは安価なガラス基板で耐熱性がよく、熱膨張率等がシリコンに近いので、液晶ディスプレイ用の基板として好ましいものであるが、リチウムを5%程度含有している。このリチウムの一部はイオン化し、可動イオンとして半導体素子に侵入し、素子の劣化をもたらす。また、このリチウムは99%以上の高純度のものを製造することが難しく、通常、0.7%程度のナトリウムが含まれている。ナトリウムのイオン化率は10%程度で、極めて大きく、このナトリウムイオンは素子の特性に極めて深刻な影響をもたらす。

【0009】従来の薄膜状半導体素子では、図5に示すように、この可動イオンの侵入に対しては、酸化珪素等をパッシベーション膜として使用し、また、層間絶縁物をPSGやBPSGとすることによってこれらの可動イオンをゲッタリングすることによって対処されてきた。しかしながら、これらの方法では汚染を十分に防ぐことは困難であった。本発明は、これらの汚染元素・イオンを侵入によって素子が劣化することを抑制することを目的とする。

【0010】

【問題を解決する方法】本発明では、以上のような汚染を抑制するために薄膜半導体素子の下部と上部にそれぞれ酸化珪素、酸化アルミニウム、酸化タンタル等の可動イオンに対するブロッキング作用を有する膜（ブロッキング膜）を形成し、さらに、TF Tを構成する半導体被膜（チャネル領域）あるいはゲイト絶縁被膜のいずれか一方、あるいは双方に、塩素、弗素等のハロゲン元素を $1 \times 10^{18} \sim 5 \times 10^{20}$ 個/cm²、好ましくは $1 \times 10^{19} \sim 1 \times 10^{20}$ 個/cm²含有させたことを特徴とする。ハロゲン元素は半導体被膜中あるいは絶縁被膜中において、ナトリウム等の可動イオンと強く結合し、その効果を著しく低下せしめる作用を有する。

【0011】本発明の典型的な例は図1に示される。図1では本発明を用いたTF Tが示されている。すなわち、絶縁性基板101上に第1のブロッキング膜として第1の酸化珪素膜102が形成されている。第1の酸化珪素皮膜は基板からの汚染を防ぐ効果を有する。そして、第1の酸化珪素膜上に、例えば酸化珪素のようなシリコン材料と密着性のよい皮膜103を形成する。この皮膜103を形成せずして、直接、半導体皮膜を第1の酸化珪素上に形成し、TF Tを作製すると、酸化珪素と半導体材料の界面に生ずるトラップ準位によってチャネル領域が導通化し、TF Tが動作しなくなる。したがって、このような緩衝体を設けることは重要である。

【0012】皮膜103上にはTF Tが形成される。TF Tは、ソース（ドレイン）領域107とドレイン（ソース）領域109、それらに挟まれたチャネル領域108、ゲイト絶縁膜104、ゲイト電極110を有する。TF Tのソース、ドレイン、チャネル各領域は単結晶も

4

しくは多結晶、あるいはアモルファスの半導体材料で形成される。半導体材料としては、例えば、シリコン、ゲルマニウム、炭化珪素、およびこれらの合金が使用される。

【0013】そして、このTF Tを覆って、第2のブロッキング膜として第2の酸化珪素皮膜105が形成される。ここで、第2の酸化珪素皮膜が、TF Tの作製の後で、かつ、ソースおよび/またはドレインに電極が形成される前に形成されることが本発明の特徴とするところである。従来の技術では、電極形成後にファイナルパッシベーション膜としての酸化珪素膜が形成されたが、本発明はそのような意味で形成される酸化珪素膜とは目的が異なる。すなわち、本発明における第2の酸化珪素膜は、第1の酸化珪素膜とともにTF Tを包み込んでしまうために形成されるのであり、TF T形成後の電極形成の工程での汚染をも防ぐことを意図するものである。したがって、本発明によってTF Tとそれに付随する電極や配線を形成した後、従来のようにファイナルパッシベーション膜として酸化珪素膜を形成してもよい。

20 【0014】さて、第2の酸化珪素膜形成後に、層間絶縁材料、例えばPSG等によって、層間絶縁膜106を形成し、ソース（ドレイン）電極111とドレイン（ソース）電極112を形成する。ブロッキング膜としては、酸化珪素以外に、酸化アルミニウムや酸化タンタルを用いてもよいことは先に述べたとおりである。

30 【0015】図1の例では、しかしながら、ゲイト絶縁膜が遠方に延びており、その端部から可動イオン等がTF T内部に侵入する可能性がある。これを改良したものが、図2に示される例で、ゲイト絶縁膜はTF T上にしかないため、図1のような問題はない。しかしながら、この場合はチャネル領域に隣接した部分のソース領域およびドレイン領域が酸化珪素膜に接触しているため、この部分の酸化珪素がゲイト電圧によって分極し、あるいは電子をトラップして、TF Tの動作を妨げることがある。

40 【0016】その問題を克服した例が図3に示される。ここでは、チャネル領域に隣接したソース領域およびドレイン領域は酸化珪素膜に隣接していない。したがって、酸化珪素の分極や電子トラップという困難は解決される。しかしながら、ソースおよびドレイン領域の形成にあたって、ゲイト電極をマスクとするセルフアラインプロセスを採用する場合には、この例では図1の例と同様に、ゲイト絶縁膜を通して、アクセプターあるいはドナー元素を注入しなければならず、そのためイオン注入法を採用するのであれば、イオンの加速エネルギーを高める必要がある。その際、高速イオンが注入される結果、その2次散乱によってソースおよびドレイン領域が広がる可能性がある。

50 【0017】図2において、201は絶縁性基板、202は第1の酸化珪素膜、203は酸化珪素等の緩衝用絶

5

縁膜、204はゲイト絶縁膜、205は第2の窒化珪素膜、206は層間絶縁膜、207はソース（ドレイン）領域、208はチャネル領域、209はドレイン（ソース）領域、210はゲイト電極、211はソース（ドレイン）電極、212はドレイン（ソース）電極である。また、図3において、301は絶縁性基板、302は第1の窒化珪素膜、303は酸化珪素等の緩衝用絶縁膜、304はゲイト絶縁膜、305は第2の窒化珪素膜、306は層間絶縁膜、307はソース（ドレイン）領域、308はチャネル領域、309はドレイン（ソース）領域、310はゲイト電極、311はソース（ドレイン）電極、312はドレイン（ソース）電極である。

【0018】本発明において、ブロッキング膜として窒化珪素膜を使用する場合、化学式で SiN_x で表したとき、 $x=1.0$ から $x=1.7$ が適し、特に、 $x=1.3$ から $x=1.35$ の化学量論的組成（ $x=1.33$ ）のもの、あるいはそれに近いものでよい結果が得られた。したがって、本発明では、窒化珪素は減圧CVD法によって形成する方が良かった。しかしながら、プラズマCVD法や光CVD法で形成された窒化珪素皮膜であっても、本発明を使用しない場合に比べて素子の信頼性が向上することは言うまでもない。

【0019】減圧CVD法によって、窒化珪素膜を形成しようとすれば、原料ガスとしてジクロールシラン（ SiCl_2H_2 ）とアンモニア（ NH_3 ）を用い、圧力10～1000Paで500～800℃、好ましくは550～750℃で反応させればよい。もちろん、シラン（ SiH_4 ）やテトラクロロシラン（ SiCl_4 ）を用いてもよい。

【0020】また、本発明において、酸化アルミニウム膜や酸化タンタル膜を用いる場合においても、化学量論的組成、 Al_2O_3 や Ta_2O_5 に近い組成のものほどよい結果が得られた。これらの被膜はCVD法やスパッタ法によって形成される。例えば、酸化アルミニウム膜は、トリメチルアルミニウム $\text{Al}(\text{CH}_3)_3$ を酸化窒素（ N_2O 、 NO 、 NO_2 ）によって酸化させればよい。

【0021】本発明をより効果的に実施せんとすれば、TFT等の薄膜状半導体素子の半導体被膜中の水素原子の濃度は、添加されるハロゲン原子の濃度の4倍以下、好ましくは1倍以下であることが望まれ、また、炭素、窒素、酸素等の有害元素の濃度は $7 \times 10^{19} \text{cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{cm}^{-3}$ 以下であることが望まれる。さらに、半導体被膜中に含まれるナトリウム、リチウム、カリウム等の可動イオンについても、その濃度は $5 \times 10^{18} \text{cm}^{-3}$ 以下であることが望まれる。以上のような目的を達成するためにも、原料ガスには十分な注意を払い、5N以上の高純度ガスを使用することが望まれる。さらに、本発明では可動イオン源を多く含有する絶縁性基板を用いることを念頭に置いているが、より本

6

発明を効果的に実施せんとすれば、そのような基板において、第1の窒化珪素膜を形成する際に、基板の周囲をもれなく窒化珪素膜で覆ってしまうとよい。そのような状態では、以後の取扱において、基板を源泉とする可動イオンが素子領域に混入する確率を著しく低下せしめることができる。

【0022】図4には、本発明を使用して、公知の技術である低不純物濃度ドレイン（LDD）を形成する例を示した。まず、石英あるいはANガラス等の絶縁性基板401上に減圧CVD法によって窒化珪素膜402を厚さ50～1000nm形成する。このときには、先に述べたように、基板の裏面も窒化珪素膜で覆ってしまうと、後の工程において、裏面から発生した可動イオンが表面に到達する確率が著しく低くなり、また、製造装置の清浄度を保つうえでも好ましい。窒化珪素膜の上に緩衝用の酸化珪素皮膜403を同じく減圧CVD法によって、厚さ50～1000nm形成する。この際、原料ガス中に体積比で3%から6%、例えば5%ほどの塩化水素（ HCl ）、弗化窒素（ NF_3 あるいは N_2F_4 ）、塩素（ Cl_2 ）、弗素（ F_2 ）、各種フロンガス、四塩化炭素（ CCl_4 ）等のハロゲンを含むガスを混入させておくと、得られる酸化珪素膜中に塩素、弗素等のハロゲン元素が取り込まれる。

【0023】このハロゲンはナトリウム等のアルカリイオンと結合して、ナトリウムを固定するので、ナトリウム汚染を防ぐうえでより大きな効果が得られる。しかし、過剰なハロゲンの添加は膜を粗にし、密着性や表面の平坦性を損なうので好ましくない。また、減圧CVD法のかわりに光CVD法やプラズマCVD法によって該被膜を形成する場合にも、原料ガス中に上記のハロゲン元素を有するガスを、2～5体積%混入するとよい。さらに、スパッタ法によって該被膜を形成する場合には、上記ハロゲンガスをスパッタ雰囲気中に、2～20体積%混入するとよい。スパッタ法による場合には、雰囲気中のガス組成は被膜の組成に反映されにくいので、CVD法の場合よりやや濃度を多くする必要がある。

【0024】次に非晶質シリコン膜あるいは微結晶または多結晶シリコン膜を減圧CVD法、あるいはプラズマCVD法、あるいはスパッタ法によって厚さ20～500nmだけ形成する。そして、これを島上にエッチングする。このシリコン膜を形成する際にも、先に被膜403を形成する場合と同様にハロゲン元素を被膜中に導入するとよい。ハロゲン元素の導入の方法は先の被膜403の場合と同様に被膜形成時の雰囲気中にハロゲンを含むガスを混入させてもよいし、また、被膜形成後、イオン注入法によって導入してもよい。このとき、ハロゲン元素の被膜中での濃度は、 $1 \times 10^{18} \sim 5 \times 10^{20} \text{個}/\text{cm}^3$ 、好ましくは $1 \times 10^{19} \sim 1 \times 10^{20} \text{個}/\text{cm}^3$ となるように原料ガスの濃度を制御しなければならない。

【0025】さらにまた、同時に被膜中の水素原子の濃度は、このハロゲンの濃度の4倍以下、好ましくは1倍以下であると、ハロゲン添加の効果がより向上する。この効果は以下のように説明される。水素原子は、シリコンのダングリングボンドをターミネイトする上で必要であるが、その結合は弱く、簡単に結合が切れてしまう。一方、ハロゲン元素はシリコンと強く結合する。もし、シリコン中に水素が過剰に存在する場合には（それは被膜中にダングリングボンドが多いということでもあるが）、ほとんどのハロゲンはシリコンと結合し、その結果、被膜中を移動する可動イオンをゲッターリングすることができない。したがって、水素濃度の大きいシリコン中では、ハロゲン添加の効果が小さく、水素濃度の小さいシリコン中では、ハロゲン添加の効果が大きいものと推測される。

【0026】また、シリコン等の半導体被膜では、可動イオン以外の有害元素として、炭素、窒素、酸素の濃度がいずれも 7×10^{19} 個/cm³以下、好ましくは 1×10^{19} 個/cm³以下であることが望まれる。これらの元素はハロゲン添加によっても除去されないものであるからである。

【0027】さらに、ハロゲン添加によってナトリウムやリチウム、カリウム等の可動イオンがゲッターリングできるとはいえ、過剰に存在する場合にはその効果も打ち消されてしまうので、これら可動イオンの濃度は、いずれも 5×10^{18} 個/cm³以下であることが望まれる。

【0028】さて、このようにして形成されたシリコン被膜上に、ゲイト絶縁膜として、厚さ10~200nmの酸化珪素膜を減圧CVD法、あるいはスパッタ法によって形成する。この際も、先のように、原料ガス中、あるいはスパッタガス中にハロゲン材料ガスを混入させておくとよい。

【0029】そして、その上に減圧CVD法、あるいはプラズマCVD法によって、リンが 10^{21} cm⁻³程度にドーパされた多結晶あるいは微結晶シリコン膜を形成する。そして、このシリコン膜およびその下のゲイト絶縁膜（酸化珪素）をパターニングし、ゲイト電極410とゲイト絶縁膜404を形成する。

【0030】さらに、このゲイト電極をマスクとしてセルフアライン的にイオン注入をおこない、比較的不純物濃度の小さい（ $10^{17} \sim 10^{19}$ cm⁻³程度）ソース（ドレイン）領域407、ドレイン（ソース）領域408を形成する。不純物の注入されなかった部分がチャネル領域408として残る。こうして、図4（A）が得られる。

【0031】次に、図4（B）に示すように減圧CVD法によって、全体にPSG膜413が形成される。そして、これを公知の方向性エッチングによってエッチングし、ゲイト電極の横に側壁414を形成する。その後、

再び、イオン注入をおこない、不純物濃度の高いソース（ドレイン）領域407aとドレイン（ソース）領域409aを形成する。不純物濃度の低い領域はソース（ドレイン）領域407bとドレイン（ソース）領域409bとなって、LDDを形成する。こうして、図4（C）を得る。

【0032】その後、図4（D）に示すように、減圧CVD法によって、全体に窒化珪素膜405を、厚さ50~1000nm形成する。その後、例えば、600℃程度の低温アニールによってシリコン膜の結晶化をおこない、ソース、ドレイン領域の活性化をおこなう。この工程はレーザーアニールでおこなってもよい。このようにして、TFTの中間体が得られる。

【0033】図4の例は、本発明の例を示したに過ぎず、本発明が、上記の工程に制約されないことは明らかであろう。図4の例では、図3の例と同様に、窒化珪素膜とゲイト電極とソースあるいはドレイン領域が隣接する部分がない。すなわち、図2の場合とは違って、側壁414が存在するため、図2で懸念されたような問題はない。さらに、図3とは異なって、ドナーやアクセプターの添加は絶縁膜を通さず容易におこなえるという特徴を有する。

【0034】

【実施例】本発明を用いたTFTの特性について記述する。本実施例で使用したTFTは石英ガラス基板上に図4のプロセスに従って作製したLDD型TFTである。まず、石英ガラス基板401上および、その基板の裏面に減圧CVD法によって窒化珪素膜402を厚さ100nm形成し、さらに、連続的に減圧CVD法によって酸化珪素膜（低温酸化膜（LTO膜）ともいう）403を厚さ200nm形成し、最後に、やはり減圧CVD法によって非晶質シリコン膜を厚さ30nm形成した。このときの最高プロセス温度は600℃であった。そして、以上の工程では、連続的に配置された3つの反応室よりなるCVD装置において成膜されたが、酸化珪素膜と非晶質シリコン膜の成膜の際には、材料ガス以外にハロゲン添加ガスとして塩化水素ガス（HCl）を5体積%添加して反応させた。その結果、酸化珪素膜と非晶質シリコン膜の中に塩素を添加することができた。2次イオン質量分析法による分析では、酸化珪素膜中および非晶質シリコン膜中の塩素の濃度は、それぞれ、 2.3×10^{19} 個/cm³、 3.1×10^{19} 個/cm⁻³であった。なお、窒化珪素膜の原料ガスとしては、ジクロールシラン（SiCl₂H₂）とアンモニア（NH₃）、酸化珪素膜の原料ガスとしては、ジシラン（Si₂H₆）と酸素（O₂）と塩化水素、非晶質シリコン膜の原料ガスとしては、ジシランと塩化水素をそれぞれ用いた。純度はいずれも6Nのものを用いた。このようにして得られた酸化珪素膜と非晶質シリコン膜中の水素原子の量は、いずれも 1×10^{19} 個/cm³以下であることが確認され

た。また、成膜は大気に触れることなく連続的にこなったため、シリコン膜においては、炭素、窒素、酸素の濃度は 1×10^{18} 個 / cm^3 以下であることが確認された。

【0035】次に、非晶質シリコン膜を島状にパターニングした。そして、その非晶質シリコン膜の表面のごく薄い部分、厚さ $2 \sim 10 \text{ nm}$ を陽極酸化法によって酸化した。陽極酸化は KNO_2 を添加した N メチルアセトアミド (NMA) あるいはテトラヒドロフルフリルアルコール (THF) を電解液とし、白金電極をカソードとして、 $10 \sim 50^\circ\text{C}$ で定電圧法によっておこなった。陽極酸化終了後、アルゴン雰囲気中 600°C で 12 時間アニールした。その後、スパッタ法によって酸化珪素膜を 100 nm 形成した。ここで、スパッタ雰囲気は酸素とアルゴンもしくは他の希ガスと塩化水素の混合気体とし、かつ、酸素の分圧を 80 % 以上とした。塩化水素ガスの濃度は 10 % とした。スパッタ成膜においては、スパッタ衝撃によって、下地の膜に欠陥が生じる。例えば、下地がシリコン膜であった場合には、シリコン中に酸素原子が打ち込まれ、酸素の濃度が増加する。このような状態ではシリコンは極在準位の多いものになってしまう。すなわち、シリコンと酸化珪素の境界がはっきりしないものになってしまう。しかし、本実施例のように予め薄い陽極酸化膜を形成しておけば、スパッタの際には既に酸化珪素が存在しているため、上記のような原子の混合が避けられ、シリコン膜と酸化珪素膜の境界は保たれる。

【0036】この酸化珪素膜の形成後、減圧 CVD 法によって、リンを 10^{21} cm^{-3} 程度含んだ n^+ 型の微結晶珪素膜を厚さ 300 nm 形成した。以上の被膜形成の最高プロセス温度は 650°C であった。その後、ゲイト電極のパターニングをおこないゲイト電極 410 とゲイト絶縁膜 404 を形成した。さらに、イオン打ち込みによって砒素イオンを $2 \times 10^{18} \text{ cm}^{-3}$ だけ注入し、ソースおよびドレイン領域 407、409 を形成した。こうして、図 4 (A) を得た。

【0037】次いで、図 4 (B) のように減圧 CVD 法によって PSG 膜 413 を形成し、方向性エッチングによって、図 4 (C) に示される側壁 414 を形成した。さらに、イオン打ち込み法によって砒素イオンを領域 407 a および 409 a に $5 \times 10^{20} \text{ cm}^{-3}$ 注入した。

【0038】その後、全体に窒化珪素膜 405 を減圧 CVD 法によって形成した。こうして、図 4 (D) を得た。その後、真空中 620°C で 48 時間アニールして、領域 407 a、407 b、408、409 a、409 b を活性化させた。そして、減圧 CVD 法によって層間絶縁物として、全体に PSG 膜を形成し、電極用の穴を開け、アルミ電極をソース領域およびドレイン領域に形成した。そして、最後に、パッシベーションの目的で全体に再び、減圧 CVD 法によって窒化珪素膜を形成した。

【0039】このようにして形成された TFT は極めて信頼性の高いものであった。いわゆるバイアス-温度処理 (BT 処理) によっても素子の動作特性が変化しないことが示された。BT 処理とは、加温状態でソース、ドレイン間とゲイト電極に電圧を加える処理のことで、正常な素子であれば何ら問題が生じないが、例えば可動イオンが含まれているような素子では、特性の変化が見られる。その様子を図 6 に示す。

【0040】図 6 (A) には、可動イオンがゲイト絶縁膜中とチャネル領域に存在する TFT が示されている。チャネル領域にアルカリの可動イオン (図中に A^+ と示される) が存在し、アルカリイオンはドナーとなるので、チャネル領域は弱い N 型 (N^- 型) となる。この状態を状態 1 とする。この TFT のゲイト電極とソース、ドレイン間に、図 6 (B) に示すように正のバイアス電圧を加えると、まず、チャネル領域の可動イオン (正イオン) がゲイト電極から遠ざかり、チャネル領域は真性化 (I 型化) する。この状態を状態 2 とする。この結果、TFT の $I_D - V_G$ (ドレイン電流) - V_G (ゲイト電圧) 特性は、図 6 (D) に示すように、右側に大きく移動する。

【0041】しかしながら、ゲイト絶縁膜にも可動イオンが存在する場合には、ゲイト電極にかかるバイアス電圧のために、可動イオンがゲイト電極の下部 (チャネル領域側) に集まり、結果として、チャネル領域は正の電界を感じるようになる。そのため、チャネル領域には電子があつまり、再び、弱く N 型化する。この状態を状態 3 とすると、図 6 (E) に示されるように、状態 2 から状態 3 へ $I_D - V_G$ 特性曲線は左へ移動する。結局、バイアス電圧によって、TFT の特性は最初のものに比べて右に移動したものとなる。

【0042】また、逆に負のバイアスをかけた場合にはチャネル領域に可動イオンが集まり、その結果、チャネル領域の N 型化が進行し、ゲイト電圧によってドレイン電流を制御できない状態となる。

【0043】本実施例では、具体的には、作製後直ちに室温で TFT のゲイト電圧-ドレイン電流特性を測定し ($V_B = 0$)、その後、 150°C で 1 時間、ゲイト電極に $+20 \text{ V}$ の電圧を加え、室温で TFT のゲイト電圧-ドレイン電流特性を測定し ($V_B = +20 \text{ V}$)、次に、再び、 150°C で 1 時間、ゲイト電極に今度は -20 V の電圧を加え、その後、室温で TFT のゲイト電圧-ドレイン電流特性を測定し ($V_B = -20 \text{ V}$)、TFT のしきい値電圧の変動を調べた。

【0044】図 7 (B) が以上に記載した方法によって作製した TFT の特性である。このように、バイアス電圧 V_B に全く特性が影響されず、精密な測定の結果、しきい値電圧の変動は 0.2 V 以下であった。

【0045】一方、図 7 (A) に示されるものは、窒化珪素膜 402 と 405 を設けず、かつ、TFT のいずれ

の皮膜のハロゲンの濃度をも $1 \times 10^{14} \text{ cm}^{-3}$ 以下としたもので、それらの点以外は本実施例に示した方法と全く同じプロセスで作製したものであるが、図から明らかなように特性が V_B に大きく依存してしまっている。図 7 (B) のしきい値電圧の変動幅から本実施例で作製した T F T のゲイト電極中の可動イオンの量は $8 \times 10^{10} \text{ cm}^{-3}$ 程度であると推定される。以上の測定後、本実施例で作製した T F T のシリコン膜 (チャネル領域) とゲイト絶縁膜中のナトリウム、カリウム、リチウムの濃度を調べたところ、それぞれ、 $3 \times 10^{17} \text{ cm}^{-3}$ 、 $7 \times 10^{15} \text{ cm}^{-3}$ 、 $5 \times 10^{15} \text{ cm}^{-3}$ であった。このようになり多量のアルカリ元素が存在していたにも関わらず、可動イオンの量が少ないのは、ハロゲン (この場合は塩素) によって、固定化されてしまったためであろうと推測される。対比のために作製した T F T では、ナトリウム、カリウム、リチウムの濃度を調べたところ、それぞれ、 $7 \times 10^{18} \text{ cm}^{-3}$ 、 $2 \times 10^{16} \text{ cm}^{-3}$ 、 $4 \times 10^{19} \text{ cm}^{-3}$ というように多量に含まれていた。このことから、本発明の窒化珪素膜によるブロッキングの効果も推測される。すなわち、本発明のように窒化珪素膜を設

【0046】

【発明の効果】本発明によって、ナトリウム等の可動イオンの影響の少ない T F T 等の薄膜状半導体素子を作製することができる。従来、可動イオンが存在するため素子が形成できなかった基板においても、T F T を形成することが可能となった。本発明を実施するには、図 1 ないし図 4 のようにコプラナ型であっても、また、逆コプ

ラナ型やスタガ型、逆スタガ型の T F T を用いても構わない。また、本発明は、薄膜状半導体素子の動作について制約を加えるものではないので、トランジスタのシリコンはアモルファスであっても、多結晶であっても、微結晶であっても、またそれらの中間状態のものであっても、さらには単結晶であっても構わないことは明らかであろう。

【図面の簡単な説明】

【図 1】本発明による T F T の例を示す。

【図 2】本発明による T F T の例を示す。

【図 3】本発明による T F T の例を示す。

【図 4】本発明による T F T の作製例を示す。

【図 5】従来の T F T の例を示す。

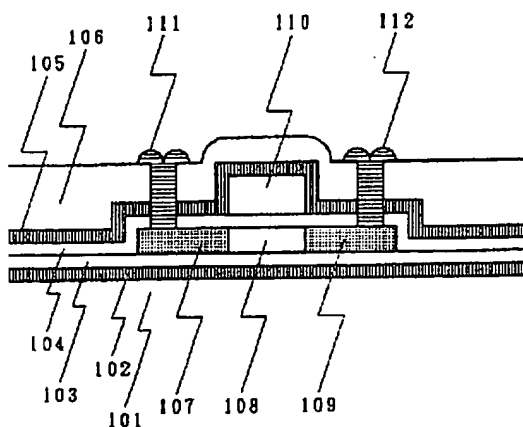
【図 6】可動イオンによる T F T の特性への影響を示す。

【図 7】本発明を利用した T F T と利用しない T F T の特性を示す。

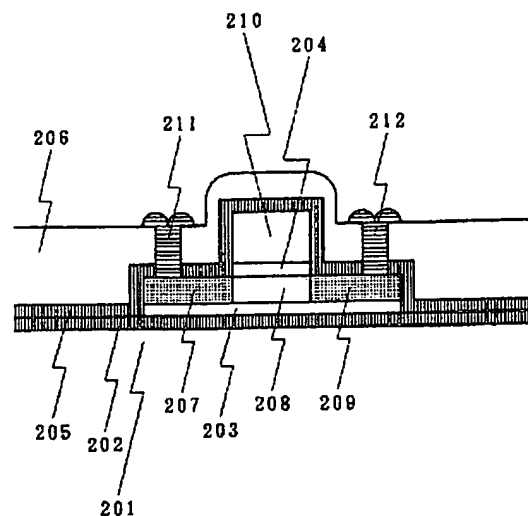
【符号の説明】

101	絶縁性基板
102	第 1 のブロッキング膜
103	緩衝絶縁膜
104	ゲイト絶縁膜
105	第 2 のブロッキング膜
106	層間絶縁膜
107	ソース (ドレイン) 領域
108	チャネル領域
109	ドレイン (ソース) 領域
110	ゲイト電極
111	ソース (ドレイン) 電極
112	ドレイン (ソース) 電極

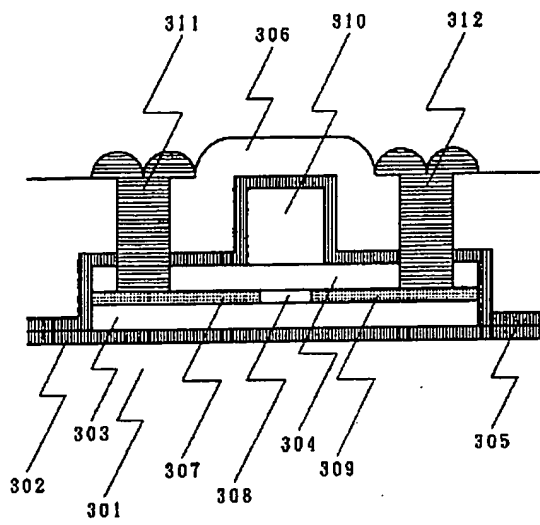
【図 1】



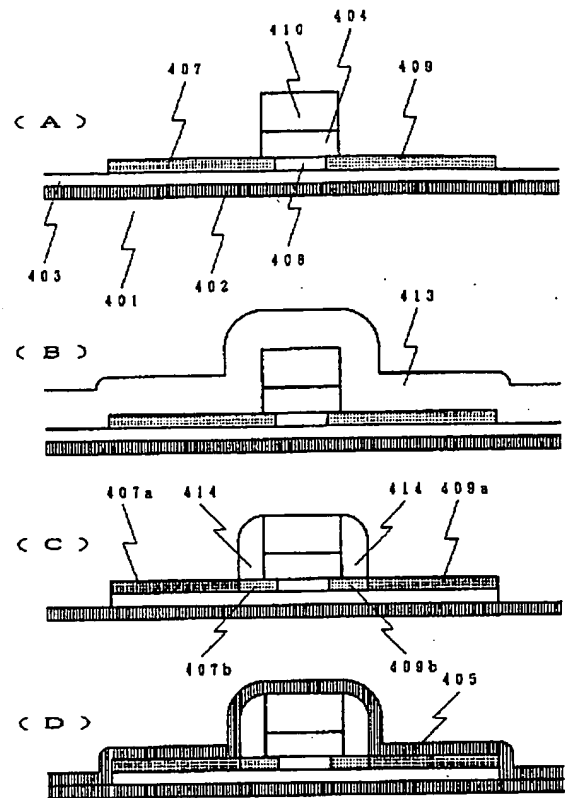
【図 2】



【図 3】

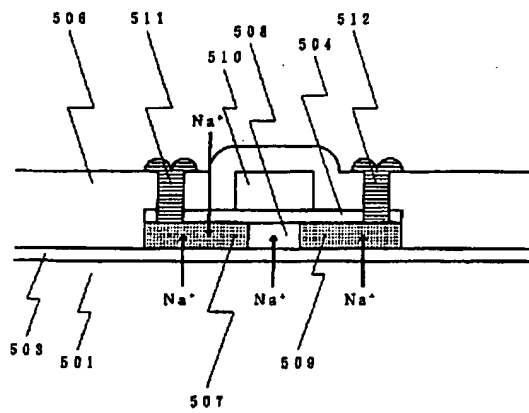


【図 4】

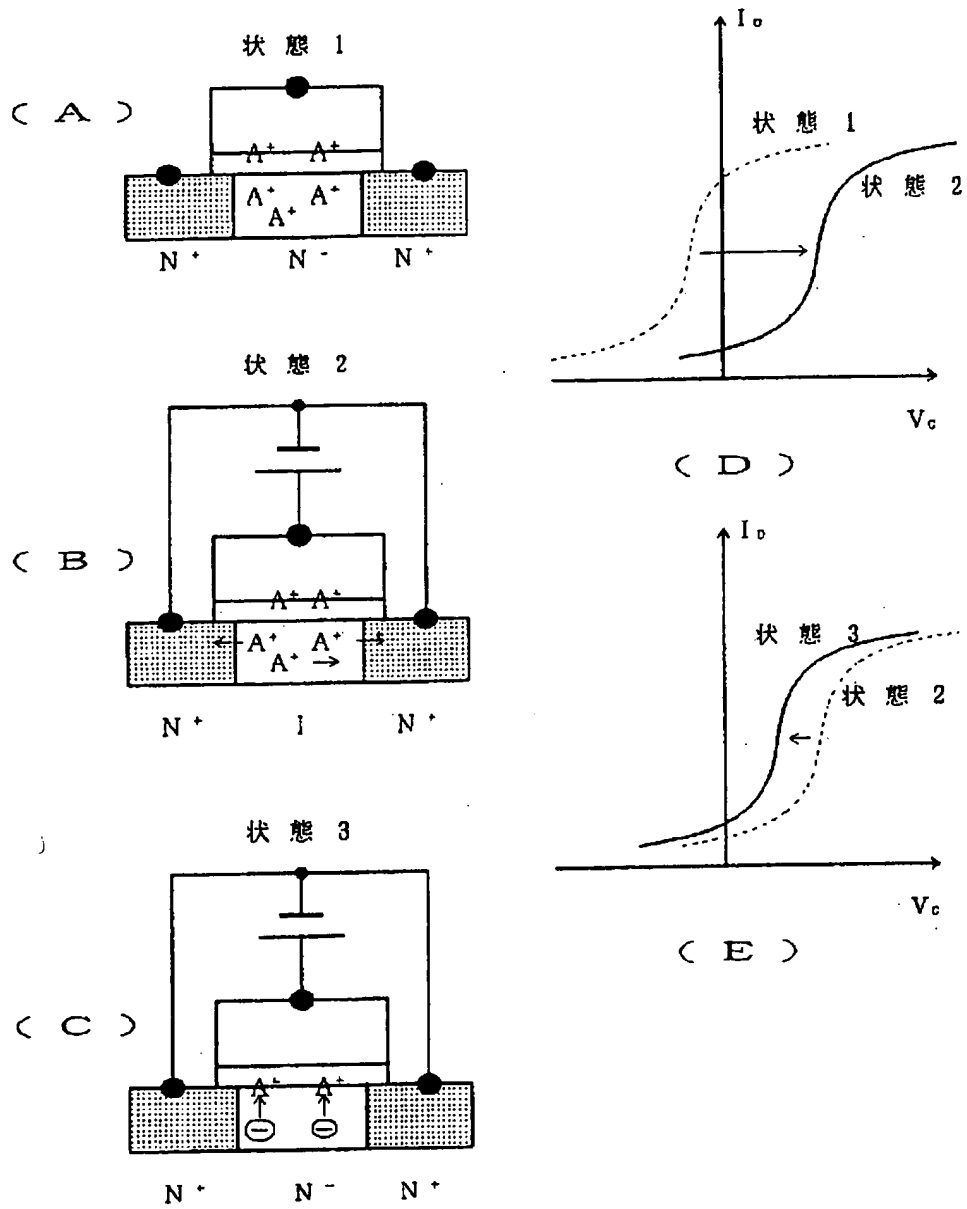


【図 5】

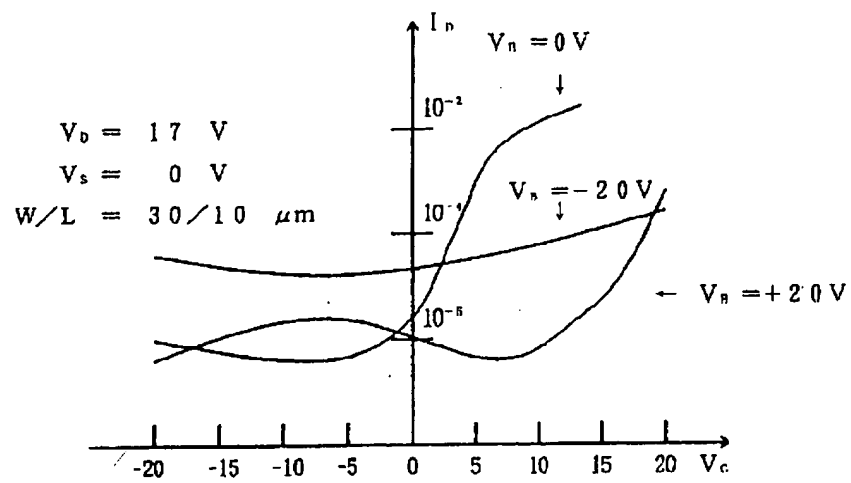
Prior Art



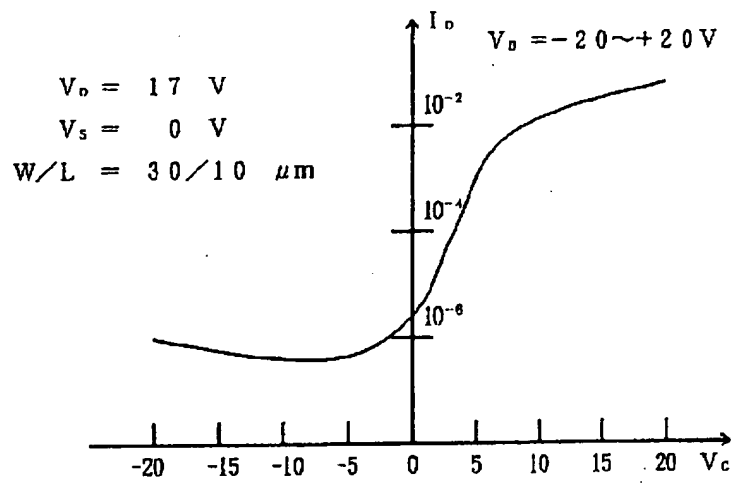
【図 6】



【図 7】



(A)



(B)